

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-228213
(P2001-228213A)

(43) 公開日 平成13年8月24日 (2001.8.24)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 1 R 31/28		G 0 6 F 1/04	3 0 1 F 2 G 0 3 2
G 0 6 F 1/04	3 0 1	H 0 3 K 5/13	5 B 0 7 9
1/10		G 0 1 R 31/28	U 5 F 0 3 8
H 0 1 L 21/82		G 0 6 F 1/04	3 3 0 A 5 F 0 6 4
27/04		H 0 1 L 21/82	5 J 0 0 1

審査請求 有 請求項の数15 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2000-41268 (P2000-41268)

(22) 出願日 平成12年2月18日 (2000.2.18)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 佐藤 一暁

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

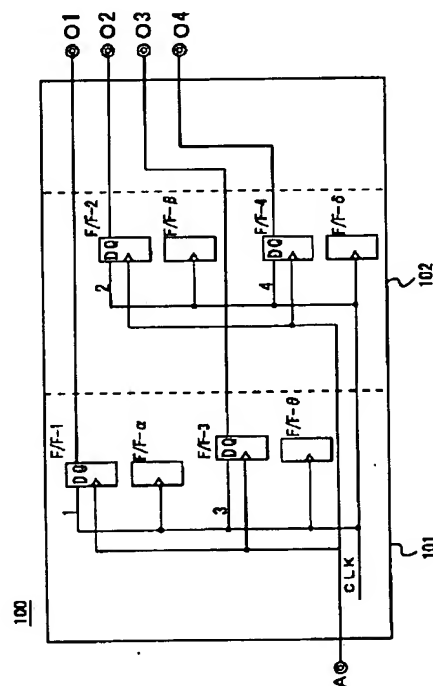
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置及びクロックスキューの検証方法

(57) 【要約】

【課題】 クロック供給を必要とする複数のクロック使用回路に分配されるクロックスキューの大小を外部から観測可能とする半導体集積回路装置の提供。

【解決手段】 複数のフリップフロップ (F/F) のうちクロック信号のスキューを検証するF/Fの近傍にクロック信号をデータ入力端に入力するダミーF/Fを備え、ダミーF/Fのクロック入力端には外部テスト端子Aからテスト信号が接続され、テスト時に、外部テスト端子Aから供給するテスト信号の遷移するタイミングを所定のステップごとずらし、各タイミングステップでテスト信号をクロック信号として入力する各ダミーF/Fに取り込まれる論理値を外部端子から読み出すことで複数のダミーF/Fに供給されるクロック信号の遷移タイミングを検出し、クロックスキューの大小を判別可能としている。



【特許請求の範囲】

【請求項 1】 クロック供給源からクロック信号の供給を受ける複数のクロック使用回路を備えた半導体集積回路装置において、

前記複数のクロック使用回路のうち、予め定められた所定のクロック使用回路に対応させてその近傍にクロックスキューモニタ用のラッチ回路を備え、

前記ラッチ回路のデータ入力端には、前記ラッチ回路に対応する前記クロック使用回路に対して前記クロック供給源から供給されるクロック信号の遅延時間と均等な遅延時間でクロック信号を供給するクロック信号配線が接続されており、前記ラッチ回路のクロック入力端には、外部テスト端子から入力されるテスト信号を前記ラッチ回路のラッチタイミングクロックとして供給するためのテスト信号配線が接続されており、前記ラッチ回路の状態が外部出力端子から読み出し可能とされている、ことを特徴とする半導体集積回路装置。

【請求項 2】 クロック供給源からクロック信号の供給を受ける複数のクロック使用回路を備えた半導体集積回路装置において、

前記複数のクロック使用回路のうち、予め定められた所定のクロック使用回路に対応させてその近傍にクロックスキューモニタ用のラッチ回路を備え、

前記ラッチ回路のデータ入力端には、外部テスト端子から入力されるテスト信号を前記ラッチ回路に供給するためのテスト信号配線が接続されており、前記ラッチ回路のクロック入力端には、前記ラッチ回路に対応する前記クロック使用回路に対して前記クロック供給源から供給されるクロック信号の遅延時間と均等な遅延時間でクロック信号を供給するためのクロック信号配線が接続されており、前記ラッチ回路の状態が外部出力端子から読み出し可能とされている、ことを特徴とする半導体集積回路装置。

【請求項 3】 前記外部テスト端子から供給される前記テスト信号が遷移するタイミングを、予め定められた所定の時間範囲にわたって所定のタイミングステップごとにずらしていき、前記テスト信号が遷移する各タイミングでの前記ラッチ回路の論理値を前記外部出力端子から読み出すことで、前記所定のクロック使用回路に供給されるクロックのスキューの大小を判別可能としている、ことを特徴とする請求項 1 又は 2 記載の半導体集積回路装置。

【請求項 4】 クロック供給回路からクロックの供給を受けてデータを保持出力する複数のフリップフロップを備えた半導体集積回路装置において、前記複数のフリップフロップのうち、フリップフロップのクロック入力端に供給されるクロック信号のスキューの検証を行う必要があるものとして選択された複数のフリップフロップのそれぞれの近傍にクロックスキューモニタ用のダミー・フリップフロップを備え、

前記各ダミー・フリップフロップのデータ入力端には、前記各ダミー・フリップフロップが近傍に配置されている前記各フリップフロップに対して前記クロック供給回路からそれぞれ供給されるクロック信号の遅延時間と均等な遅延時間でクロック信号を供給するように配線されてなるクロック信号配線が接続されており、前記各ダミー・フリップフロップのクロック入力端には、外部テスト端子からの共通のテスト信号が配線接続されており、前記ダミー・フリップフロップの出力が外部出力端子から読み出し可能とされている、ことを特徴とする半導体集積回路装置。

【請求項 5】 前記外部テスト端子から供給される前記テスト信号が遷移するタイミングを、予め定められた所定の時間範囲にわたって所定のタイミングステップごとにずらしていき、前記テスト信号をクロック信号として入力する前記各ダミー・フリップフロップにおいて、前記テスト信号の遷移エッジの各タイミングにおいて前記各ダミー・フリップフロップに取り込まれる論理値を、前記外部出力端子から読み出すことで、前記複数のダミー・フリップフロップに供給される各クロック信号の遷移エッジのタイミングを検出し、前記クロック信号のスキューを検証する必要がある前記複数のフリップフロップに供給されるクロックスキューの大小を判別可能としている、ことを特徴とする請求項 4 記載の半導体集積回路装置。

【請求項 6】 クロック供給回路からクロックの供給を受けてデータを保持出力する複数のフリップフロップを備えた半導体集積回路装置において、前記複数のフリップフロップのうち、フリップフロップのクロック入力端に供給されるクロック信号のスキューの検証を行う必要があるものとして選択された複数のフリップフロップのそれぞれの近傍にクロックスキューモニタ用のダミー・フリップフロップを備え、

前記各ダミー・フリップフロップのクロック入力端には、前記各ダミー・フリップフロップが近傍に配置されている前記各フリップフロップに対して前記クロック供給回路からそれぞれ供給されるクロック信号の遅延時間と均等な遅延時間でクロック信号を供給するように配線されてなるクロック信号配線が接続されており、前記各ダミー・フリップフロップのデータ入力端には、外部テスト端子からの共通のテスト信号が配線接続されており、前記ダミー・フリップフロップの出力が外部出力端子から読み出し可能とされている、ことを特徴とする半導体集積回路装置。

【請求項 7】 前記外部テスト端子から供給される前記テスト信号が遷移するタイミングを、予め定められた所定の時間範囲にわたって所定のタイミングステップごとにずらしていき、前記テスト信号の遷移エッジの各タイミングにおいて前記各ダミー・フリップフロップに取り込まれる論理値を、外部出力端子から読み出すことで、前

記複数のダミー・フリップフロップに供給される各クロック信号の遷移エッジのタイミングを検出し、前記クロック信号のスキューを検証する必要がある前記複数のフリップフロップに供給されるクロックスキューの大きさを判別可能としている、ことを特徴とする請求項 6 記載の半導体集積回路装置。

【請求項 8】外部クロックを入力して内部クロックを生成するクロック供給回路からクロックの供給を受ける複数のフリップフロップを備え、前記複数のフリップフロップは、各回路ブロック内においてクロックスキューの均等化が行われて設計されてなる半導体集積回路装置において、

1 又は複数の回路ブロックにおいて、前記複数のフリップフロップのうち、クロック信号の最小遅延と最大遅延に位置するフリップフロップの近傍に、スキューモニタ用の第 1、及び第 2 のダミー・フリップフロップをそれぞれ備え、

前記各回路ブロックの前記第 1、第 2 のダミー・フリップフロップのクロック入力端には、外部テスト端子からのテスト信号が共通接続され、データ入力端には、前記クロック供給回路から、前記回路ブロックの前記最小遅延と最大遅延にそれぞれ位置するフリップフロップの遅延時間と均等な遅延時間となるように配線されてなるクロック信号配線がそれぞれ接続されており、

テスト時に、前記外部テスト端子から供給するテスト信号が遷移するタイミングを、予め定められた所定の時間範囲にわたって所定のタイミングステップごとにずらしていき、前記テスト信号が遷移する各タイミングにおいて前記 1 又は複数の回路ブロックの前記第 1 及び第 2 のダミー・フリップフロップに取り込まれる論理値を外部出力端子から読み出すことで、前記 1 又は複数の回路ブロックの全ての回路ブロックの前記第 1 及び第 2 のダミー・フリップフロップにおけるクロックスキューの大きさを判別可能としている、ことを特徴とする半導体集積回路装置。

【請求項 9】外部クロックを入力して内部クロックを生成するクロック供給回路からクロックの供給を受ける複数のフリップフロップを備え、前記複数のフリップフロップは、各回路ブロック内においてクロックスキューの均等化が行われて設計されてなる半導体集積回路装置において、

1 又は複数の回路ブロックにおいて、前記複数のフリップフロップのうち、クロック信号の最小遅延と最大遅延に位置するフリップフロップの近傍に、スキューモニタ用の第 1、及び第 2 のダミー・フリップフロップをそれぞれ備え、

前記各回路ブロックの前記第 1、第 2 のダミー・フリップフロップのデータ入力端には、外部テスト端子からのテスト信号が共通接続され、クロック入力端には、前記クロック供給回路から、前記回路ブロックの前記最小遅

延と最大遅延にそれぞれ位置するフリップフロップの遅延時間と均等な遅延時間となるように配線されてなるクロック信号配線がそれぞれ接続されており、

テスト時に、前記外部テスト端子から供給するテスト信号が遷移するタイミングを、予め定められた所定の時間範囲にわたって所定のタイミングステップごとにずらしていき、前記テスト信号が遷移する各タイミングにおいて、前記 1 又は複数の回路ブロックの前記第 1 及び第 2 のダミー・フリップフロップに取り込まれている論理値を外部出力端子から読み出すことで、前記 1 又は複数の回路ブロックの全ての回路ブロックの前記第 1 及び第 2 のダミー・フリップフロップにおけるクロックスキューの大きさを判別可能としている、ことを特徴とする半導体集積回路装置。

【請求項 10】前記複数のダミー・フリップフロップの出力が、複数の外部出力端子にそれぞれ接続され、前記複数のダミー・フリップフロップのデータ読み出し時に、前記各ダミー・フリップフロップが保持する値が、前記複数の外部出力端子から平行に出力される構成とされている、ことを特徴とする請求項 4 乃至 9 のいずれかーに記載の半導体集積回路装置。

【請求項 11】前記複数のダミー・フリップフロップのデータ読み出し時に、前記複数のダミー・フリップフロップをシリアルに接続してシフトレジスタを形成し、前記シフトレジスタの最終段のダミー・フリップフロップの出力端が一の外部出力端子に接続され、前記複数のダミー・フリップフロップに対してシフトクロックを供給することで、前記一の外部出力端子からは、前記最終段のダミー・フリップフロップから初段側のダミー・フリップフロップの順に、前記各ダミー・フリップフロップが保持する値がシリアルに出力される構成とされている、ことを特徴とする請求項 4 乃至 9 のいずれかーに記載の半導体集積回路装置。

【請求項 12】前記回路ブロック内に設ける前記スキューモニタ用のダミー・フリップフロップを、クロック信号の最小遅延と最大遅延の中間に位置するフリップフロップの近傍に備えたことを特徴とする請求項 8 又は 9 記載の半導体集積回路装置。

【請求項 13】クロック供給源からクロック信号の供給を受けるクロック使用回路のうち、前記クロック使用回路のクロック入力端に入力されるクロックが遷移するタイミングを外部から観測するものと決められた、少なくとも一つのクロック使用回路の近傍にラッチ回路を備え、

前記ラッチ回路には、前記一つのクロック使用回路に対して前記クロック供給源から供給されるクロック信号の遅延時間と均等な遅延時間のクロック信号と、外部テスト端子から入力されるテスト信号とが、前記ラッチ回路のデータ入力端とクロック入力端、又は、前記ラッチ回路のクロック入力端とデータ入力端に、供給される構成

10

20

30

40

50

とされており、前記ラッチ回路の状態が外部出力端子から読み出し可能とされている、ことを特徴とする半導体集積回路装置。

【請求項 14】クロック供給源からクロック信号の供給を受ける複数のクロック使用回路を備えた半導体集積回路装置のクロックスキュー検証方法において、前記複数のクロック使用回路のうち、クロックスキューを検証する必要があるものとして選択された複数のクロック使用回路のそれぞれの近傍にラッチ回路を設け、クロックスキューを検証する必要がある前記各クロック使用回路に対して前記クロック供給源からそれぞれ供給されるクロック信号の遅延時間と均等な遅延時間を有するクロック信号を、前記各クロック使用回路に対応する前記各ラッチ回路のデータ入力端にそれぞれ供給し、前記各ラッチ回路のクロック入力端には、外部テスト端子が共通に接続されており、前記外部テスト端子からのテスト信号がラッチタイミングクロックとして供給され、前記外部テスト端子から供給するテスト信号が遷移するタイミングを所定の時間範囲にわたって所定のタイミングステップごとにずらしていき、前記テスト信号が遷移する各タイミングにおいて、前記各ラッチ回路に取り込まれる論理値を外部出力端子から読み出すことで、前記各ラッチ回路に入力されるクロック信号が遷移するタイミングを検出し、これにより、クロックスキューを検証する必要がある前記複数のクロック使用回路に供給されるクロック信号のクロックスキューの大きさの順序を判別可能とした、ことを特徴とするクロックスキュー検証方法。

【請求項 15】クロック供給源からクロック信号の供給を受ける複数のクロック使用回路を備えた半導体集積回路装置のクロックスキュー検証方法において、前記複数のクロック使用回路のうち、クロックスキューを検証する必要があるものとして選択された複数のクロック使用回路のそれぞれの近傍にラッチ回路を設け、クロックスキューを検証する必要がある前記各クロック使用回路に対して前記クロック供給源からそれぞれ供給されるクロック信号の遅延時間と均等な遅延時間を有するクロック信号を、前記各クロック使用回路に対応する前記各ラッチ回路のクロック入力端にラッチタイミングクロックとしてそれぞれ供給し、前記各ラッチ回路のデータ入力端には、外部テスト端子が共通に接続されており、前記外部テスト端子から供給するテスト信号が遷移するタイミングを所定の時間範囲にわたって所定のタイミングステップごとにずらしていき、前記テスト信号が遷移する各タイミングステップにおいて、前記各ラッチ回路に取り込まれている論理値を外部出力端子から読み出すことで、前記各ラッチ回路に入力されるクロック信号が遷移するタイミングを検出し、こ

れにより、クロックスキューを検証する必要がある前記複数のクロック使用回路に供給されるクロック信号のクロックスキューの大きさの順序を判別可能とした、ことを特徴とするクロックスキュー検証方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路に関し、特に、半導体集積回路において回路内のクロックスキューを観測可能とする半導体集積回路装置及びそのクロックスキューの検証方法に関する。

【0002】

【従来の技術】近時、半導体装置の微細化技術の進展に伴い、1チップ上に集積化される回路規模は増大の一途をたどり、100万ゲートを超える回路規模の半導体集積回路装置も製造・販売されるに至っており、また回路の動作周波数も高速化している。半導体集積回路装置の回路規模の増大にともない、半導体集積回路装置内で、クロックの供給を必要とするクロック使用回路（典型的には、フリップフロップ、ラッチ、カウンタ、シフトレジスタ等の他、クロックで駆動される任意の回路、セル、マクロを含む）の数も増大し、クロック信号を供給するクロック信号配線の配線長が長くなり、クロック信号配線長によるクロック伝搬遅延時間も、回路配置に大きく依存して変化し、その結果、クロック供給源から各クロック使用回路に分配されるクロック信号の時間的ずれの変動も大きくなっている。

【0003】そして、動作タイミングの基準となるクロック信号で駆動されるクロック使用回路を複数備えた半導体集積回路装置に所望の動作を行わせるには、半導体集積回路装置内のクロック使用回路におけるクロックスキュー（複数の伝送系においてクロック信号を伝送するときクロック信号間に発生する時間差）を規定値内に抑えることが必要とされる。例えばクロック信号で駆動される同期回路を最小サイクルで動作させる場合、クロックスキューのばらつき等によりクロックスキューが規定値内を超えると誤動作することになる。

【0004】このため、従来より、半導体集積回路の設計段階において、クロック信号伝搬時間の差を最小化するために、クロック信号配線網に遅延を均等化するためのバッファを最適に挿入して、ツリー状にレイアウトして、クロック信号を各クロック使用回路に分配するというクロックツリーシンセシス（CTS）法による設計、及び、タイミング解析ツール等によりタイミング条件を考慮したレイアウト設計等を用いて、クロックスキューを最小化するようにしている。

【0005】ところで、このように、半導体集積回路のレイアウト段階で、クロックスキューを低減するようにマスクパターンを作成したとしても、半導体製造のプロセス変動等によるばらつきにより、製造前の設計時には予測できない容量、抵抗等により、製造後の半導体集積

回路装置におけるクロックスキューが製造前の設計値から外れて増大する場合がある。

【0006】そして、高速動作周波数で駆動される半導体集積回路装置では、たとえば数百ピコ、数十ピコ秒オーダのクロックスキューの存在が回路の誤動作を引き起こす可能性も増大しており、半導体集積回路装置の製造後において、クロックスキューを検証することが極めて重要となっている。

【0007】

【発明が解決しようとする課題】半導体チップのクロック信号スキューを測定する回路構成を備えた半導体集積回路装置が、従来より、いくつか提案されている。このうち、例えば特開平 8-15380 号公報には、図 9 に示すように、クロック信号配線に接続されてクロック信号 CLK をクロック入力端に受けるフリップフロップ 11、12 を備え、フリップフロップ 11、12 のそれぞれのデータ入力端には外部測定信号 DATA が入力され、外部測定信号のフリップフロップ 11 への遅延時間およびフリップフロップ 12 への遅延時間を等しくし、フリップフロップ 11 の出力端とフリップフロップ 12 の出力端を排他的論理和回路 (XOR) 13 の入力に接続する構成とし、外部測定信号 DATA を LSI テスタの分解能で変化させて排他的論理和回路 13 の出力レベルの変化点を検出することにより、クロック信号のスキューを測定する構成が提案されている。

【0008】しかしながら、上記特開平 8-15380 号公報に記載されたテスト回路は、下記記載の問題点を有している。

【0009】第 1 の問題点は、フリップフロップ 11、12 の出力端から排他的論理和回路 (XOR) 13 の各入力端までの遅延時間を等しくさせるためには、余計な設計を要する、ということである。逆に、フリップフロップ 11、12 の出力端から排他的論理和回路 (XOR) 13 の入力端までの信号伝搬遅延時間が等しくないと、正確なクロックスキューを測定することはできない。すなわち、フリップフロップ 11、12 の出力端から排他的論理和回路 (XOR) 13 の入力端間のスキューを、2 つのフリップフロップ 11、12 間のクロックスキューと比較して、特段に小さな値に抑えた場合のみ、クロック信号のスキューを測定することが可能とされている。

【0010】第 2 の問題点は、2 つのフリップフロップ 11、12 に対して 1 つの排他的論理和回路 (XOR) 13 を用いており、チップ面積が増大する、ということである。すなわち、半導体集積回路装置の内部回路には、クロックスキューを考慮する必要があるフリップフロップが多数含まれており、上記特開平 8-15380 号公報に記載された構成に従い、フリップフロップの 2 つに対してそれぞれ排他的論理和回路 (XOR) を 1 個用意するとすると、テスト回路の面積が増大し、チップ

面積が増大する。

【0011】第 3 の問題点は、2 つのフリップフロップ 11、12 間のクロックスキューが小さい場合には、出力端子 OUT からパルス信号が出力されない、ということである。すなわちクロックスキューが小さく、フリップフロップ 11 と 12 の出力信号の遷移エッジの時間差が小さい場合、排他的論理和回路 (XOR) 13 の出力は、反転することなく元の値のままとされ、クロックスキューに対応したパルス幅の信号を出力できず、出力端子 OUT からパルス信号が観測できないことになる。

【0012】第 4 の問題点は、フリップフロップ 11、12 に入力されるクロックのスキューに対応したパルス幅のパルス信号が出力端子 OUT から出力される場合、クロックスキューの時間の情報が得られるだけであり、このパルス信号からは、フリップフロップ 11、12 に入力されるクロックのうち、どちらのクロックの位相が進んでいるのか、どちらのクロックの位相が遅れているのか、わからない、ということである。

【0013】すなわち、クロックスキューの大小に基づき順位付けができないため、どのクロックのタイミングを調整してよいか判断するための情報が得られず、複数のクロックの間でどのクロックがずれているのが特定できないため、クロックスキューを適切に再調整することができない。このため、クロックスキューを調整する場合に、出力端子 OUT からパルス信号が現れなくなるまで、フリップフロップ 11、12 に入力されるクロックの位相調整を、いわば試行錯誤的に行うことになる。

【0014】また例えば特開平 9-292723 号公報には、図 10 に示すように、外部クロック又は内部クロックを所定数の内部クロックに分配し、前記分配された内部クロックをさらに所定数のクロックに分配するクロックツリーと、所定の内部クロックに設けられ、内部クロック間のスキューのばらつきを検出するスキューばらつき観測回路 14 と、所定の内部クロックに設けられ、内部クロックの中で相対的に位相が進んだ内部クロックの負荷を増加させる負荷増減回路 16 と、スキューばらつき観測回路 14 の中で外部クロックまたは内部クロック源に近い内部クロックに設けられたものから順次、検出状態を固定し、負荷増減回路 16 による内部クロックの負荷を固定する順序維持回路 18 を備えた構成が開示されている。スキューばらつき観測回路 14 は、複数のバッファ 22 から出力される内部クロックを入力とする NOR 回路 24 と、NOR 回路 24 の出力をイネーブル端子 G に入力とする複数のラッチ回路 28 を備え、複数のバッファ 22 から出力される内部クロックは遅延バッファ 26 によって遅延され、ラッチ 28 のデータ入力端に入力され、内部クロックのうち相対的に位相の進んだ内部クロックが立ち上がると、NOR 回路 24 の出力はローレベルとなり、この出力がイネーブル入力端 G に入力されるラッチ回路 28 は全てオフ状態となり、遅延バ

ッファ 28 によって遅延された内部クロックの中で、相対的に位相の進んだクロックはラッチでハイレベルに保持され、相対的に位相の遅れたクロックはラッチにローレベルが保持され、順序維持回路 18 は、クロックツリーのバッファ 22 の段数に相当する本数の出力を有し、それぞれの出力は、同一段目の同一組のスキューばらつき観測回路の NOR 回路 24 に共通入力するシフトレジスタ 34 を備えた構成とされている。

【0015】このように、上記特開平 9-292723 号公報に記載された構成においては、クロックツリーにおけるクロックスキューのばらつきを自動検出し、位相の進んだクロックは、負荷を増加させて、遅延量を増大させ、クロックスキューの均一化を図るものであるが、内部クロックのクロックツリーの信号配線に、遅延バッファ、負荷増減回路を付加する構成とされており、かかる構成（クロックツリーの信号配線に各種負荷回路が接続される構成）は、クロック信号の分配を受けるクロック使用回路のクロック入力端におけるクロックスキューの調整を逆に困難なものとしている。また上記特開平 9-292723 号公報に記載された構成においては、クロックツリーの各端部（リーフ）でクロック信号の供給を受けるクロック使用回路のクロック入力端におけるクロックスキューをモニタする構成とはされていず、またクロック使用回路のクロック入力端におけるクロックスキューを可観測化するための手段も具備されていない。

【0016】そして、例えば特開平 8-15380 号公報には、クロック信号を供給するためのパスに対応して帰還パスを設け、この帰還パス及び供給パスのそれぞれに、遅延時間を増減可能に形成された可変遅延回路を備え、伝達されたクロック信号の位相ずれを検出する位相検出回路を備え、位相ずれ検出結果に基づいて可変遅延回路での信号遅延時間を調整する制御回路を備え、帰還パスの信号波形に基づいてクロック分配系におけるクロック信号の位相のずれを補正するクロックスキュー補正回路の構成が開示されている。しかしながら上記特開平 8-15380 号公報に記載された構成においては、クロック供給パスに対して、帰還パスを配線するという特殊なレイアウトに従って設計するという設計上の制約があり、設計自由度を制限し、クロックツリーシンセシス法等の設計手法をそのまま適用することは不可能である。

【0017】上記の通り、従来よりなされている、いくつかの提案は、いずれも、高集積で且つ高速動作周波数の半導体集積回路装置のクロックスキューを観測するという要請に応えるものでなく、半導体集積回路装置の内部ノードのクロックスキューを、外部から、正しく、観測可能とするための機能を具備した半導体集積回路装置の設計手法は、現在のところ、全く提供されていないというのが実状である。このため、かりに半導体集積回路装置製品がクロックスキューにより誤動作した場合に、

内部回路のクロックスキューを外部から観測して調整し、修復することは不可能である。

【0018】したがって本発明は、上記課題を認識した本発明者が鋭意研究した結果、全く新規に創案したものであって、その主たる目的は、クロック供給を必要とする複数のクロック使用回路に分配されるクロックスキューの大小を外部から観測可能とする半導体集積回路装置、及びクロックスキュー検証方法を提供することにある。これ以外の本発明の目的、利点、特徴等は、以下の実施の形態の記載からも、当業者には直ちに明らかとされるであろう。

【0019】

【課題を解決するための手段】前記目的を達成する本発明は、クロック供給源からクロック信号の供給を受ける複数のクロック使用回路を備えた半導体集積回路装置において、前記複数のクロック使用回路のうち、予め定められた所定のクロック使用回路に対応させてその近傍にクロックスキューモニタ用のラッチ回路を備え、前記ラッチ回路のデータ入力端には、前記ラッチ回路に対応する前記クロック使用回路に対して前記クロック供給源から供給されるクロック信号の遅延時間と均等な遅延時間でクロック信号を供給するクロック信号配線が接続されており、前記ラッチ回路のクロック入力端には、外部テスト端子から入力されるテスト信号を前記ラッチ回路のラッチタイミングクロックとして供給するためのテスト信号配線が接続されており、前記ラッチ回路の状態が外部出力端子から読み出し可能とされている。

【0020】本発明においては、前記ラッチ回路のデータ入力端には、外部テスト端子から入力されるテスト信号を前記ラッチ回路に供給するためのテスト信号配線が接続されており、前記ラッチ回路のクロック入力端には、前記ラッチ回路に対応する前記クロック使用回路に対して前記クロック供給源から供給されるクロック信号の遅延時間と均等な遅延時間で、クロック信号を供給するためのクロック信号配線が接続されており、前記ラッチ回路の状態が外部出力端子から読み出し可能とする構成としてもよい。

【0021】本発明においては、前記外部テスト端子から供給される前記テスト信号が遷移するタイミングを、予め定められた所定の時間範囲にわたって所定のタイミングステップごとにずらしていき、前記テスト信号が遷移する各タイミングにおける前記ラッチ回路の論理値を、前記外部出力端子から読み出すことで、前記所定のクロック使用回路に供給されるクロックのスキューの大小を判別可能としている。

【0022】

【発明の実施の形態】本発明の実施の形態について以下に説明する。本発明は、その好ましい実施の形態において、複数のクロック使用回路（フリップフロップ、ラッチ、その他、クロックで駆動される任意の回路、マク

ロセル、メガセル等であってもよい)のうち、クロックスキューの検証を行う所定のクロック使用回路の近傍にラッチ回路を備え、このラッチ回路のデータ入力端には、クロックスキューの検証を行うクロック使用回路に対してクロック供給源から供給されるクロック信号の遅延時間と均等な遅延時間でクロック信号を供給するように配線されたクロック信号配線が接続される構成とされており、ラッチタイミングクロックの入力端には外部テスト端子からのテスト信号が共通に接続され、ラッチ回路の状態が外部出力端子から読み出される構成とされている。

【0023】本発明の一実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施の形態の構成を示す図である。図1を参照すると、半導体集積回路装置100は、クロックスキューの検証を行う複数のフリップフロップF/F- α 、 β 、 θ 、 δ のそれぞれの近傍(脇)に、クロック供給回路(不図示)からクロックCLKの供給を受けるスキューモニタ用のダミー・フリップフロップF/F-1、2、3、4を備えている。

【0024】複数のダミー・フリップフロップF/F-1、2、3、4のデータ入力端Dには、フリップフロップF/F- α 、 β 、 θ 、 δ にそれぞれ供給されるクロック信号の遅延時間と均等な遅延時間でクロック信号CLKを供給するように配線されたクロック信号配線1、2、3、4がそれぞれ接続されている。

【0025】また複数のダミー・フリップフロップF/F-1、2、3、4のクロック入力端には、外部テスト端子Aからのテスト信号が共通接続されており、複数のダミー・フリップフロップF/F-1~4の出力端は、出力端子O1~O4にそれぞれ接続されている。

【0026】ダミー・フリップフロップF/F-1、2、3、4は、好ましくは、それぞれ入力端の容量、入力インピーダンス等について同一とされる。またダミー・フリップフロップF/F-1、2、3、4はフリップフロップF/F- α 、 β 、 θ 、 δ とそれぞれ同一構成としてもよい。なお、図1では、フリップフロップF/F- α 、 β 、 θ 、 δ は、クロックの立ち上がりエッジで、データを取り込む構成とされたD型フリップフロップとして示されているが、本発明において、ダミー・フリップフロップは、D型フリップフロップに限定されるものでないことは勿論である。

【0027】図1において、101、102は、半導体集積回路装置100内の回路ブロックを表しており、各回路ブロック101、102のクロックツリー内でクロックスキューは、設計時に、予め規格値に収まるように、レイアウトされているものとする。

【0028】半導体集積回路装置100のテスト時に、LSIテスト等から、外部テスト端子Aに供給するテスト信号Aを、あるテストサイクル内でLowレベルからHighレベルに遷移させ、その遷移エッジのタイミン

グを、テストサイクルを規定する基準クロックから所定のタイミングステップごとに順次ずらしていく。

【0029】なお、テスト信号Aの信号波形の設定、及び、立ち上がりエッジのタイミング(後述する図2のA参照)の設定と変更は、LSIテスト上で実行されるテストプログラムにより、LSIテストのフォーマット、及び、タイミングジェネレータをプログラムするという周知の方法で行われる。

【0030】テスト信号Aの立ち上がりエッジで、データ入力端に入力されるクロック信号をラッチするダミー・フリップフロップF/F-1、2、3、4において、テスト信号Aの各タイミングステップで取り込まれる論理値を、外部端子O1、O2、O3、O4からLSIテストに読み出すことで、各ダミー・フリップフロップF/F-1、2、3、4にそれぞれ供給されるクロック信号のクロック信号毎の位相の進み(又は遅れ)を検出し、クロックスキューの大小を判別可能としている。

【0031】本発明の一実施の形態におけるクロックスキューの検証方法についてその一例を以下に説明する。本発明に係る半導体集積回路装置においては、半導体集積回路装置の設計時、フリップフロップF/F- α 、 β 、 θ 、 δ 、ダミー・フリップフロップF/F-1、2、3、4に分配されるクロック信号について、全てスキューの調整を行っておく(設計時には、スキューは規定値内にあるものとする)。

【0032】半導体集積回路装置100のレイアウト時、クロック信号の供給を必要とする複数のフリップフロップについて、各ツリー内で、例えば遅延時間が最小のものと、遅延時間が最大のものを特定しておき、最小遅延と最大遅延の2つのフリップフロップF/F- α 、 β の近傍に、ダミーフリップフロップF/F-1、3をそれぞれ配置し、最小遅延と最大遅延の2つのフリップフロップF/F- θ 、 δ の近傍に、ダミー・フリップフロップF/F-2、4をそれぞれ配置する。

【0033】テスト端子Aからダミー・フリップフロップF/F-1、2、3、4に分配されるテスト信号についても、設計時に、スキューを調整しておく。すなわち、テスト端子Aから、ダミー・フリップフロップF/F-1~4の入力端までの各信号配線ツリーにおけるスキューが規格値内に納まるように調整される。

【0034】半導体集積回路装置100の製造後、LSIテストのドライバから、外部クロックを、被試験対象の半導体集積回路装置100に供給するとともに、テスト端子Aに供給するテスト信号の立ち上がりエッジのタイミングを、所定の時間範囲で所定のタイミングステップ(例えばタイミングジェネレータの最小分解能又はその整数倍)でずらしていく。

【0035】LSIテストのドライバから、半導体集積回路装置100に対して、あるテストサイクルにおいて、テストサイクルを規定する基準クロック(LSIテ

10

20

30

40

50

スタの内部の基準クロック) から所定のタイミング遅れて立ち上がるテスト信号を外部テスト端子Aに供給し、テスト信号をHighレベルに保ったまま(Lowレベルに落としてもよいが再びHighレベルとはしない)、該テストサイクル又はこれ以降のテストサイクルで、ダミー・フリップフロップF/F-1、2、3、4の出力端が接続されている外部端子O1~O4の値を、LSIテストに読み出す。すなわち、外部端子O1~O4の値をLSIテストのコンパレータで例えば期待値“0”と比較し、コンパレータの出力を受け取るエラーロジック(エラーフラグ)経由で、コンパレータの比較結果を、テストベクタを格納するローカルメモリ等に格納するという周知の方法が用いられる。

【0036】次に、被試験対象の半導体集積回路装置100のテスト端子Aには、テストサイクルを規定する基準クロックに対して、前回のタイミングとは、所定のタイミングステップだけずれた立ち上がりエッジを有するテスト信号を入力する。このテスト信号の印加に対しても、ダミー・フリップフロップF/F-1、2、3、4の状態(値)を外部出力端子O1~O4から読み出し、LSIテストのローカルメモリ等に格納していく。例えば、外部端子(1ピン)の出力値が“0”のときLSIテストのコンパレータ(期待値“0”と比較)の比較結果をラッチするエラーフラグの値は“0”、外部端子の出力値が“1”のときエラーフラグの値は“1”となり、このエラーフラグの値を、テスト信号の遷移エッジを変化させるタイミングステップ毎にローカルメモリに格納する。

【0037】LSIテストのローカルメモリに蓄積された外部出力端子O1~O4の値の時系列データから、ダミー・フリップフロップF/F-1~4のデータ入力端に分配される各クロックの立ち上がりエッジをLSIテストのタイミングジェネレータの最小分解能レベルで検出することができる。

【0038】図2は、本発明の一実施の形態のタイミング動作を説明するための図であり、Aは、外部テスト端子AにLSIテストから供給されるテスト信号、(1)~(4)は、ダミー・フリップフロップF/F-1~4のデータ入力端に供給されるクロック信号(クロック信号配線1~4)の信号波形を示す図である。ダミー・フリップフロップF/F-1~4のクロック入力端に供給されるテスト信号Aの立ち上がりエッジよりもセットアップ時間前の時点で、クロック入力端に供給されるクロック信号が“0”(Lowレベル)のときはダミー・フリップフロップが取り込む値は“0”、テスト信号Aの立ち上がりエッジよりもセットアップ時間前の時点でクロック信号が“1”(Highレベル)に遷移しているときは、ダミー・フリップフロップは値“1”を取り込む。

【0039】図2において、ダミー・フリップフロップ

F/F-1~4のクロック入力端に供給されるテスト信号Aの立ち上がりエッジがt1のタイミングでは、ダミー・フリップフロップは全て“0”を取り込み、テスト信号Aの立ち上がりエッジがt2のタイミングでは、ダミー・フリップフロップF/F-1、3は“1”を取り込み、テスト信号Aの立ち上がりエッジがt3のタイミングでは、ダミー・フリップフロップF/F-1、2、3、4は“1”を取り込む。このように、テスト信号Aの立ち上がりエッジのタイミングを変化させるステップをLSIテストのタイミングジェネレータの最小分解能とすることで、ダミー・フリップフロップF/F-1~4に供給されるクロック信号の信号の遷移エッジ(“0”から“1”への変化点)を検出することができる。

【0040】次に、本発明の一実施の形態の変形について説明する。図4に示すように、本発明の一実施の形態においては、ダミー・フリップフロップF/F-1、2、3、4は、データ読み出し時に、ダミー・フリップフロップF/F-1の出力を、別のダミー・フリップフロップF/F-3のシリアル入力端(SIN)にシリアルに接続してシフトレジスタを構成し、ダミー・フリップフロップF/F-3の出力を、別のダミー・フリップフロップF/F-2のシリアル入力端(SIN)にシリアルに接続するという具合に、複数のダミー・フリップフロップF/F-1~4をシリアルに接続して一つのシフトレジスタを構成し、最終段のダミー・フリップフロップF/F-4の出力端を出力端子O1に接続し、ダミー・フリップフロップF/F-1~4に取り込まれたデータを、例えば、図4に示す例では、出力端子O1から、ダミー・フリップフロップF/F-4、2、3、1の順にシリアルに読み出す構成としてもよい。

【0041】この場合、データ読み出し時のシフトレジスタ(ダミー・フリップフロップF/F-1~4)に供給するシフトクロックは、テスト端子Aからのテスト信号を用いることができる。なお、ダミー・フリップフロップF/F-1~4には、データ入力端又はシリアル入力端からの信号のいずれかを選択するセレクトを備え、セレクトで選択された信号がラッチ出力される構成とされている。セレクトにおける選択信号(シリアルモード制御信号)は外部制御端子から供給され、テスト時にLSIテストから設定される。

【0042】図3は、本発明の第2の実施の形態の構成を示す図である。本発明は、その好ましい第2の実施の形態において、図3を参照すると、複数のフリップフロップのうちクロック信号のスキューを検証する必要がある複数のフリップフロップF/F- α 、 β 、 θ 、 δ のそれぞれの近傍にクロック供給回路(不図示)からクロックCLKの供給を受けるスキューモニタ用のダミー・フリップフロップF/F-1、2、3、4を備え、ダミー・フリップフロップF/F-1、2、3、4のクロック

入力端には、フリップフロップ $F/F-1, 2, 3, 4$ のデータ入力端には、外部テスト端子 A からのテスト信号が共通接続され、テスト時に、LSI テスタ等から外部テスト端子 A に供給するテスト信号（データ信号）の遷移エッジを所定のタイミングステップごとずらし、テスト信号が遷移する各タイミングにおいて、ダミー・フリップフロップ $F/F-1, 2, 3, 4$ に取り込まれている論理値を読み出すことで、ダミー・フリップフロップ $F/F-1, 2, 3, 4$ におけるクロックスキューの大きさを判別可能としている。

【0043】前記実施の形態では、ダミー・フリップフロップ $F/F-1, 2, 3, 4$ のデータ入力端とクロック入力端に、クロック供給回路からのクロック信号と、外部テスト端子 A からのテスト信号とがそれぞれ接続されているが、本発明の第 2 の実施の形態では、ダミー・フリップフロップ $F/F-1, 2, 3, 4$ のデータ入力端とクロック入力端には、外部テスト端子 A からのテスト信号と、クロック供給回路からのクロック信号とがそれぞれ接続されている。その他の構成は前記実施の形態と同様である。

【0044】本発明の第 2 の実施の形態においては、ダミー・フリップフロップ $F/F-1, 2, 3, 4$ のデータ入力端に供給されるテスト信号が遷移するタイミングをずらし、ダミー・フリップフロップ $F/F-1, 2, 3, 4$ のクロック入力端に供給されるクロック信号で、データ入力端の信号（テスト信号）を取り込んだ時の状態を読み出すものであり、クロック信号とデータ信号（テスト信号）との遷移エッジのタイミング差を順次変化させて、クロック信号の遷移エッジのタイミング（LSI テスタの基準クロックからのタイミング）を各ダミー・フリップフロップ $F/F-1, 2, 3, 4$ 毎に検出するものである。

【0045】本発明の第 2 の実施の形態のタイミング動作は、図 2 に示したものと同様とされる。図 2 の (A) は、ダミー・フリップフロップ $F/F-1, 2, 3, 4$ のデータ入力端にデータ信号として供給されるテスト信号、図 2 の (1) ~ (4) は、ダミー・フリップフロップ $F/F-1, 2, 3, 4$ のクロック入力端にそれぞれ供給されるクロック信号（クロック信号配線 1 ~ 4 のクロック信号）である。外部テスト端子 A に供給するテスト信号のタイミングの制御、及び、ダミー・フリップフロップ $F/F-1, 2, 3, 4$ の論理値の出力端子からの読み出し等、LSI テスタにおける制御動作及びクロックスキューの検証の仕方は、基本的に、前記実施の形態と同様である。

【0046】なお、図 1 及び図 3 を参照して説明した本発明の第 1、第 2 の実施の形態において、ダミー・フリップフロップの出力端は専用の出力端子 O1 ~ O4 に接

続されているが、本発明はかかる構成に限定されるものではない。例えば、ダミー・フリップフロップの出力をテスト専用端子から出力せずに、通常データの出力端子と共用する構成としてもよいことは勿論である。すなわち、通常データの出力端子に接続される出力バッファ回路が、内部回路からの通常のデータ出力と、ダミー・フリップフロップの出力を切り替えるセクタを備え、テストモード時にダミー・フリップフロップの出力を選択して、通常データの出力端子から、ダミー・フリップフロップの出力を読み出すように構成してもよい。

【0047】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明を具体的な回路に適用した実施例について図面を参照して説明する。

【0048】図 5 は、本発明の一実施例を説明するための図であり、本発明に係るダミー・フリップフロップを配置する前の回路配置（レイアウト）の一例を示す図である。

【0049】図 5 を参照すると、クロックドライバ 106 からクロックの供給を受ける回路ブロック 101 ~ 105 の各回路ブロック内で、クロック信号配線の経路情報から、クロック信号の遅延時間が最小のフリップフロップ (MIN) と、クロック信号の遅延時間が最大のフリップフロップ (MAX) を特定する。なお、以下に説明する例では、クロックスキューの検証を行うフリップフロップとして、最小遅延のフリップフロップ (MIN) と最大遅延のフリップフロップ (MAX) を用いているが、最小と最大遅延の間の所定の遅延時間、例えば中間の遅延時間に対応する位置のフリップフロップをクロックスキューの検証に用いてもよい。

【0050】本発明の一実施例においては、図 6 を参照すると、半導体集積回路装置 100 の各回路ブロック 101 ~ 105 内において、最小遅延、最大遅延のフリップフロップ (MIN, MAX) のそれぞれの脇に、ダミー・フリップフロップ $F/F-1, F/F-2, \dots, F/F-9, 10$ を配置し、各ダミー・フリップフロップ $F/F-1 \sim 10$ のクロック入力端には、テスト端子 A から入力されるテスト信号を接続し、ダミー・フリップフロップ $F/F-1 \sim 10$ のデータ入力端 (D) には、クロックドライバ 106 から分配されるクロック信号を、各回路ブロック内において、最小遅延、最大遅延のフリップフロップ (MIN, MAX) にそれぞれ供給されるクロック信号と同じ遅延時間となるように配線接続する。

【0051】そして、半導体集積回路装置 100 の設計時にテスト端子 A から、ダミー・フリップフロップ $F/F-1 \sim 10$ のクロック入力端に分配されるテスト信号について、スキューを調整しておく。なお、本発明の一実施例において、ダミー・フリップフロップの個数は、一回路ブロックあたり最小遅延と最大遅延に対応したダミー・フリップフロップ 2 個と少数であることから、テ

スト端子Aから、ダミー・フリップフロップF/F-1~10のクロック入力端に分配されるテスト信号のスキュー調整は、実回路のフリップフロップに供給するクロックのスキュー調整と比べて容易であり、テスト信号のスキューのずれ（ばらつき）も小さく抑えることができる。本発明の一実施例（後述する第2の実施例も同様）においては、かかる構成により、クロックスキューの測定精度を向上している。

【0052】半導体集積回路装置100のテストに際して、LSIテストのドライバから、外部テスト端子Aに印加するテスト信号Aの立ち上がりエッジのタイミングを、LSIテストのタイミングの最小分解能又はその所定倍単位にずらしていくことにより、ダミー・フリップフロップF/F-1~10のデータ入力端に分配される各クロックの位相の進み具合の大小、従って回路ブロックの最小遅延、最大遅延のフリップフロップのクロック端子に供給されるクロックスキューを測定することができる。

【0053】より詳細には、図1を参照して説明した前記実施の形態と同様に、ダミー・フリップフロップF/F-1~10では、クロック入力端に供給されるテスト信号の立ち上がりエッジ（LowレベルからHighレベルへの遷移）で、フリップフロップF/F-1~10のデータ入力端に供給されるクロック信号（クロックドライバ106から供給される）の論理値が取り込まれる。

【0054】すなわちフリップフロップF/F-1~10のクロック入力端に供給されるテスト信号Aの立ち上がりエッジの時点（よりもセットアップ時間前）でクロック信号がLowレベル（“0”）のときは、フリップフロップは“0”を取り込み、テスト信号Aの立ち上がりエッジの時点（よりもセットアップ時間前）でクロック信号が“1”に遷移しているときは、フリップフロップは“1”を取り込む。テスト信号Aの各立ち上がりエッジのそれぞれについて、ダミー・フリップフロップF/F-1~10の値を、LSIテスト側に読み出すことで、フリップフロップF/F-1~10に分配されるクロック信号の立ち上がりエッジのタイミングを、テスト信号Aの立ち上がりエッジを変化させるタイミングステップ（時間幅）単位で特定することができる。

【0055】不図示の出力端子から読み出されたダミー・フリップフロップF/F-1~10の値は、前述したように、LSIテストのコンパレータで例えば期待値“0”と比較され、コンパレータの比較結果をラッチするエラーフラグの値（期待値“0”の場合、エラーフラグの値は、出力端子が“0”のときは“0”、出力端子が“1”のときは“1”）を、ローカルメモリに保管して行き、テスト信号Aの各立ち上がりエッジを、その開始タイミングから終了タイミングまでスweepさせた後、ローカルメモリに記憶された内容を読み出すこと

で、テスト信号Aの立ち上がりエッジの各タイミングに対する各ダミー・フリップフロップの状態を読み出し、LSIテストの最小タイミング分解能レベルで、ダミー・フリップフロップに供給されるクロックの遷移エッジを検出することができる。なお、被試験デバイスの出力値の取り込みは、上記方法に限定されるものでなく、LSIテスト固有のアーキテクチャ等に従い、最適な手法が用いられる。

【0056】図7は、本発明の一実施例のタイミング動作を示す図である。図7を参照すると、Aは、ダミー・フリップフロップF/F-1~10のクロック入力端に入力されるテスト信号であり、(1)~(10)は、ダミー・フリップフロップF/F-1~10のデータ入力端に供給されるクロック信号である。テスト信号Aの立ち上がりのタイミングt1では、ダミー・フリップフロップF/F-1~10は全て“0”を取り込み、テスト信号Aの立ち上がりのタイミングt2では、ダミー・フリップフロップF/F-1~10は“1”を取り込む。

【0057】なお、図4を参照して説明したように、本発明の一実施例において、ダミー・フリップフロップF/F-1~10は、データ読み出し時に、ダミー・フリップフロップF/F-1の出力を、別のダミー・フリップフロップのデータ入力端にシリアルに接続してシフトレジスタを構成し、このように、ダミー・フリップフロップ1~10を一つのシフトレジスタを構成し、最終段のダミー・フリップフロップの出力から順次データを読み出すようにしてもよい。ダミー・フリップフロップの数が数十、数百のオーダーとなる場合、シリアルチェーン構成とすることで、半導体集積回路装置のテスト専用端子の数の増加を抑止することができる。

【0058】なお、ダミー・フリップフロップの出力端を専用出力端子に接続せずに、セレクト等を介して通常データの出力端子と共用する構成とし、ダミー・フリップフロップの出力をパラレル出力する構成としてもよいことは勿論である。

【0059】本発明の一実施例において、クロックスキューの大小を測定したのち、例えばクロックドライバのクロックパスに設けられた可変遅延回路で遅延時間を調整し、クロックスキューを合わせ込む構成としてもよい。クロックスキューの調整回路としては、任意の回路構成が用いられる。さらに回路ブロック間のクロックスキュー調整用の回路を具備してもよいことは勿論である。

【0060】図5及び図6における回路ブロック101~105のクロックスキューの調整について説明しておくと、半導体集積回路装置の設計時、タイミング解析ツールによるクロックスキューの調整をそれぞれの回路ブロック毎に独立に行い、その後、回路ブロック間のクロックスキューの調整を行うようにしてもよい。回路ブロック間でデータ授受等が正しく行われるには、回路プロ

ック間においてもクロックスキューの調整を行う必要がある。この場合、全ての回路ブロック 101~105 に対して一度にタイミング解析を行うことは、大規模な解析ツールを要することになり、処理すべきデータ量、演算量等の点から実用的でない。そこで、複数の回路ブロックに分割し、回路ブロック単位でタイミング解析が行われる。

【0061】本発明によれば、半導体集積回路装置の設計時にタイミング解析ツールによるクロックスキュー調整をブロック毎に独立に行った複数の回路ブロックについて、回路ブロックにおける最小遅延のフリップフロップ (MIN) と最大遅延のフリップフロップ (MAX) のクロックスキューを、半導体集積回路装置の製造後、実測することが可能とされており、このため、回路ブロック間のクロックスキューの補正することが可能とされ、回路ブロック間のデータ授受の際のクロックスキューが原因する誤動作を回避することができる。

【0062】次に、本発明の第 2 の実施例について説明する。本発明の第 2 の実施例は、前記した本発明の第 2 の実施の形態に対応するものである。本発明の第 2 の実施例においては、図 5 に示した回路配置に対して、図 8 に示すように、クロックドライバー 106 からクロックの供給を受ける回路ブロック 101~105 の各回路ブロック内で、最小遅延、最大遅延のフリップフロップの脇にそれぞれ、ダミー・フリップフロップ $F/F-1$ ~10 を配置し、ダミー・フリップフロップ $F/F-1$ ~10 のデータ入力端 (D) には、テスト端子 A から入力されるテスト信号を接続し、ダミー・フリップフロップ $F/F-1$ ~10 のクロック入力端には、クロックドライバー 106 から分配されるクロック信号を、最小遅延、最大遅延のフリップフロップにそれぞれ供給されるクロック信号と同じ遅延時間となるように配線接続する。

【0063】本発明の第 2 の実施例においても、前記実施例と同様、ダミー・フリップフロップ $F/F-1$ ~10 のデータ入力端に供給されるテスト信号のエッジをずらし、ダミー・フリップフロップ $F/F-1$ ~10 のクロック入力端に入力されるクロック信号で、データ入力端のデータ信号 (テスト信号) の値を取り込んだ時の状態を読み出すものである。すなわち、クロック信号とデータ信号 (テスト信号) と立ち上がりエッジのタイミング差を変化させ、各タイミングにおけるダミー・フリップフロップ $F/F-1$ ~10 に取り込まれている状態を読み出すことで、ダミー・フリップフロップ $F/F-1$ ~10 に供給されるクロック信号の遷移エッジのタイミング (LSI テスタの基準クロックからの位相) を検出するものである。本発明の第 2 の実施例のタイミング動作は、図 7 に示したものと同様とされる。図 7 において、(A) はテスト信号、(1)~(10) はダミー・フリップフロップ $F/F-1$ ~10 のクロック入力

端に供給されるクロック信号である。なお、本発明の第 2 の実施例において、LSI テスタにおける制御動作は、前記実施例と同様であるため、その説明は省略する。

【0064】なお、上記各実施例において、ダミー・フリップフロップは、テスト時以外は、非活性化させて動作させないように構成し、低消費電力化を図るようにしてもよい。

【0065】またクロックドライバー 106 は、外部クロックと位相同期をとって内部クロックを生成する位相同期ループ (PLL) 回路を備えた構成としてもよい。そして、図 5 等では、クロックドライバー 106 から各回路ブロック別にクロック信号が個別に分配される構成として図示したが、クロックドライバーから供給するクロック信号を一つの幹線から各回路ブロックに分岐させる構成としてもよい。

【0066】なお、上記各実施例においては、ダミー・フリップフロップに供給されるクロック信号の遷移エッジのタイミングを外部から測定可能としており、半導体集積回路装置内のクロック信号配線の伝搬遅延時間を外部から測定する用途等にも適用できる。

【0067】上記実施例の説明で参照された図面等は、本発明の実施例を説明及び例示するためのものであり、本発明を限定するためのものでなく、本発明は、特許請求の範囲の請求項の原理の範囲内で、当業者が行い得るであろう各種変形、修正を含むことは勿論である。

【0068】

【発明の効果】以上説明したように、本発明によれば、クロックスキューの検証を行うクロック使用回路の脇にクロックスキューモニタ用のラッチ回路をそれぞれ備え、外部テスト端子から供給するテスト信号の遷移エッジのタイミング順次変化させることで、各ラッチ回路に供給されるクロックの位相を検出する構成としたことにより、内部のクロックスキューを精度よく測定することができるとともに、クロックスキューの大きさを順位付けすることができる、という効果を奏する。

【0069】また本発明によれば、クロックスキューが均等化されるクロックツリー又は回路ブロック内において、最大遅延、最小遅延のフリップフロップの脇にダミー・フリップフロップを設けるという簡易な構成により、フリップフロップのクロック入力端に供給されるクロック信号間のスキューを外部から精度よく観測することができる、という効果を奏するとともに、半導体集積回路装置の設計手法に特別な制約等を課するものでなく、半導体集積回路に汎用的に適用可能である、という顕著な効果を奏するものであり、その実用的価値は極めて高い。

【図面の簡単な説明】

【図 1】本発明の一実施の形態の構成を示す図である。

【図 2】本発明の一実施の形態の動作を示すタイミング

図である。

【図 3】本発明の他の実施の形態の構成を示す図である。

【図 4】本発明の一実施の形態の変形を示す図である。

【図 5】本発明の一実施例を説明するための図である。

【図 6】本発明の一実施例の構成を示す図である。

【図 7】本発明の一実施例の動作を説明するためのタイミング図である。

【図 8】本発明の第 2 の実施例の構成を示す図である。

【図 9】従来のクロックスキューをモニタするための回路を示す図である。

【図 10】従来のクロックスキューばらつき観測回路の構成を示す図である。

【符号の説明】

1～4 クロック

11、12 フリップフロップ

13 排他的論理和回路

14 スキューばらつき観測回路

16 負荷増減回路

18 順序維持回路

22 バッファ

24 NOR回路

26 遅延バッファ

28 ラッチ回路

34 シフトレジスタ

100 半導体集積回路装置

101～105 回路ブロック

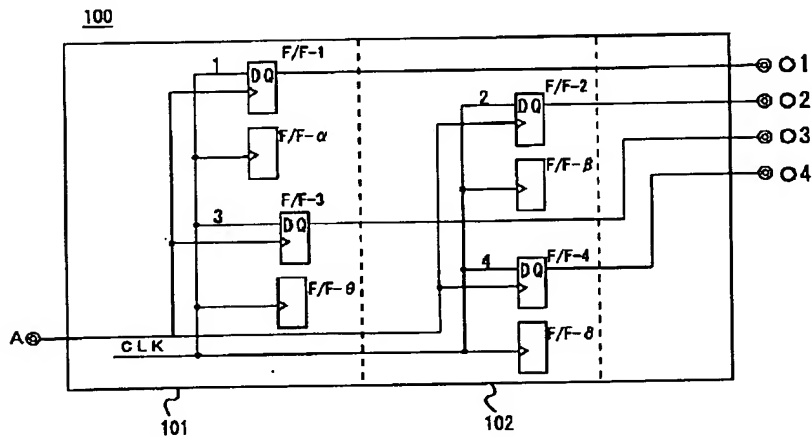
106 クロックドライバ

A 外部テスト端子

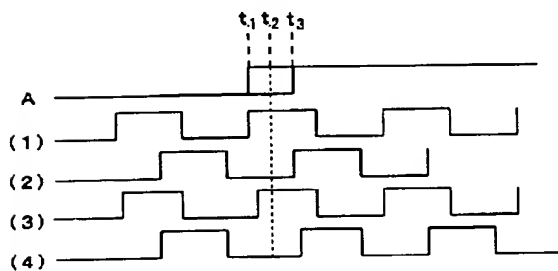
F/F-1～F/F-10 ダミー・フリップフロップ

O1～O1 出力端子

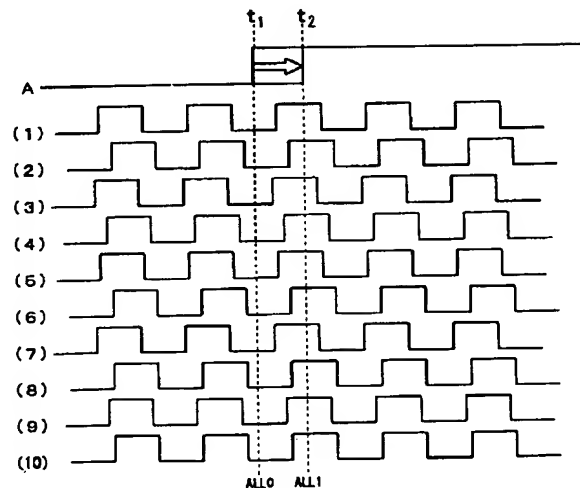
【図 1】



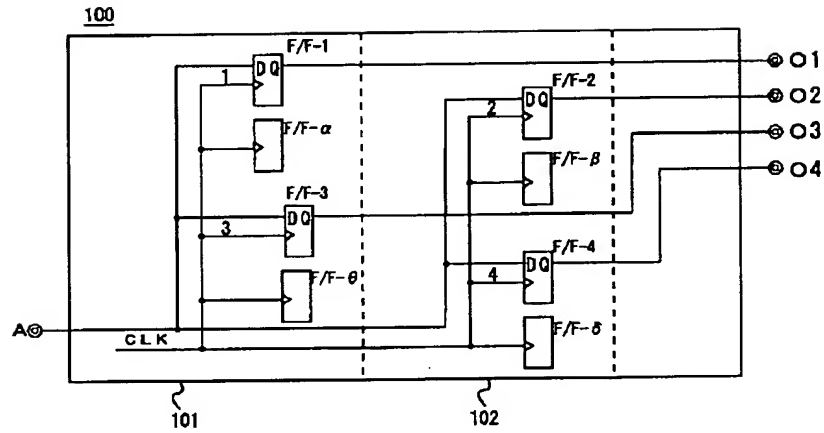
【図 2】



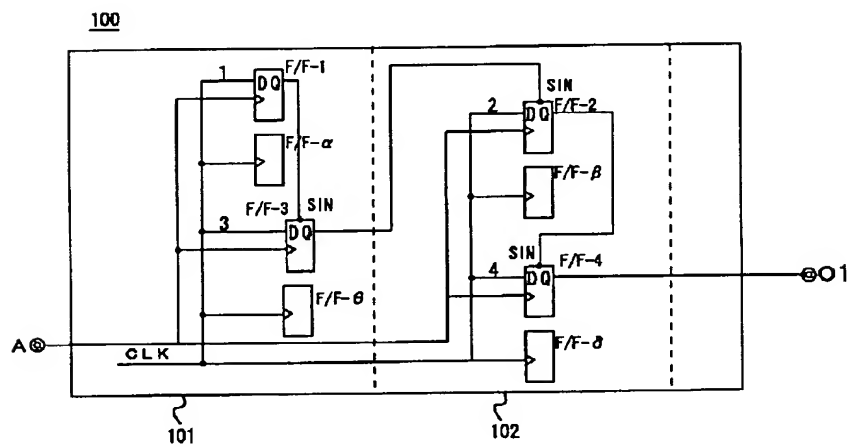
【図 7】



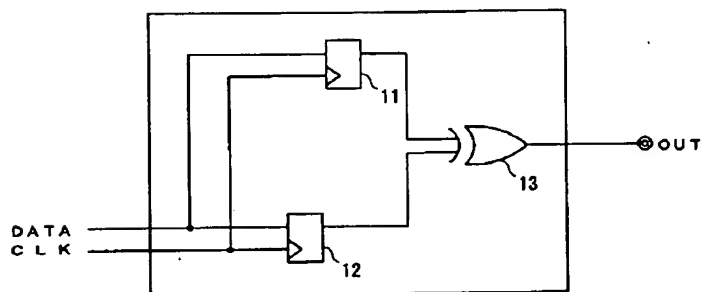
【図3】



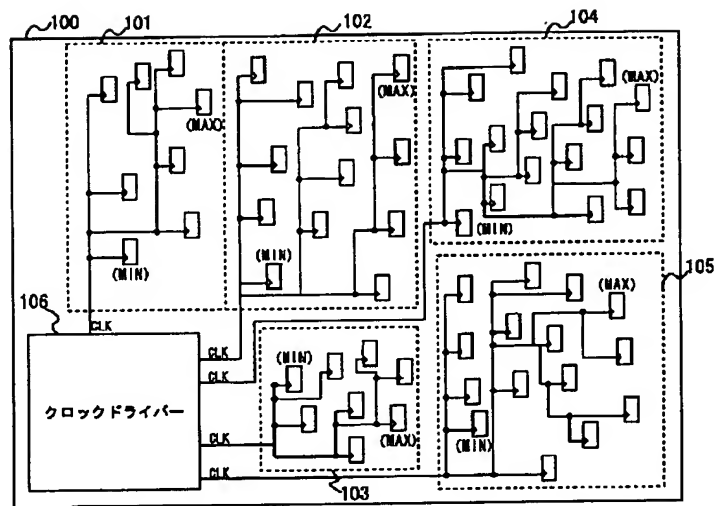
【図4】



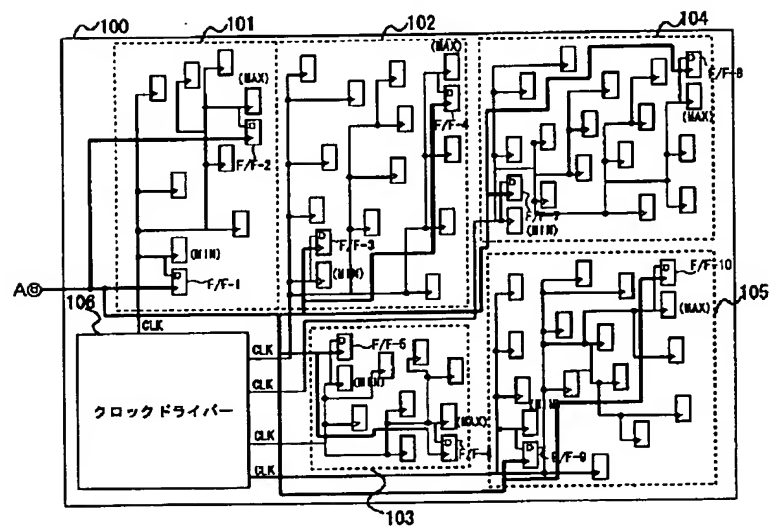
【図9】



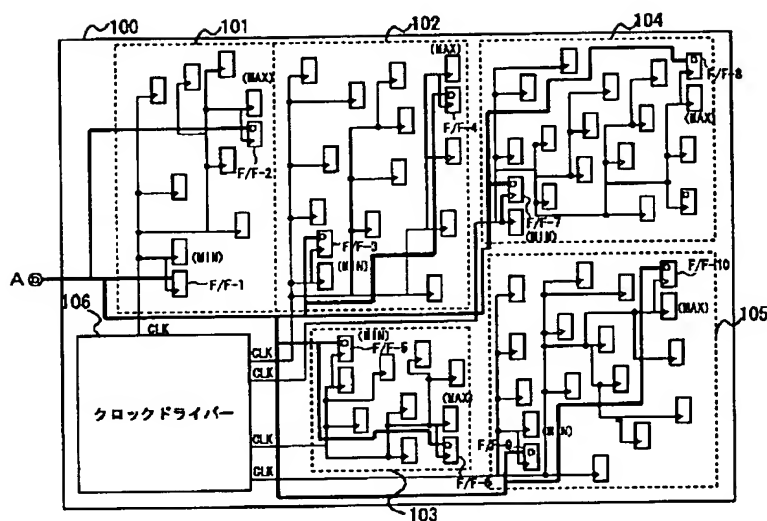
【図 5】



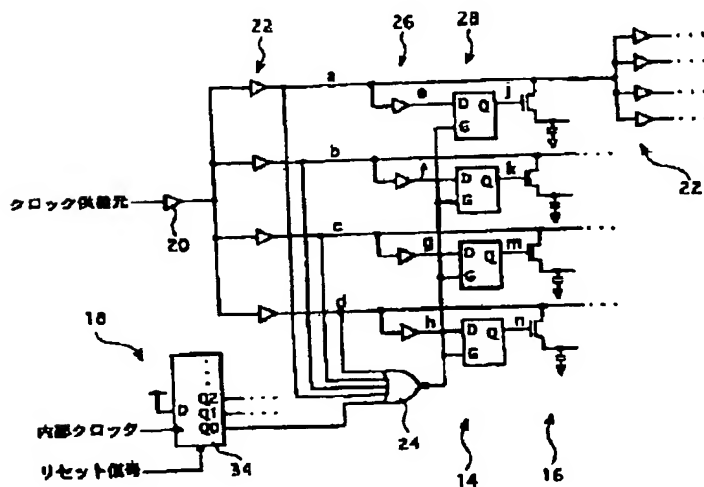
【図 6】



【図 8】



【図 10】



フロントページの続き

(51) Int. Cl. 7

H01L 21/822

H03K 5/13

識別記号

F I

H01L 27/04

テーマコード (参考)

9A001

F ターム(参考) 2G032 AA04 AC03 AD06 AE08 AE09
AE12 AG07 AH04 AK14
5B079 BC02 CC04 CC12 DD08 DD13
5F038 CD06 CD09 DF14 DT04 DT05
DT12 EZ20
5F064 AA01 BB01 BB31 BB33 EE47
EE54
5J001 BB00 BB02 BB05 BB14 BB23
CC00 DD04
9A001 BB05 KK37 LL05